

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 Derwent Info Ltd. All rts. reserv.

010085051      \*\*Image available\*\*

WPI Acc No: 1994-352764/199444

Related WPI Acc No: 1994-352761; 1994-352762; 1994-352763; 2001-106018;  
2001-106199

XRAM Acc No: C94-160607

XRPX Acc No: N94-277001

Semiconductor circuit mfr. - by coating catalyst element on amorphous  
silicon@ film which promotes crystallisation with different density in  
active region of TFT and intrinsic region of thin film diode

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME )

Inventor: TAKAYAMA T; TAKEMURA Y

Number of Countries: 002    Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
<b>JP 6275808</b>	A	19940930	JP 9386747	A	19930322	199444 B
US 5501989	A	19960326	US 94216107	A	19940321	199618
US 5589694	A	19961231	US 94216107	A	19940321	199707
			US 95411972	A	19950328	
US 5744822	A	19980428	US 94216107	A	19940321	199824
			US 95483048	A	19950607	
			US 97788562	A	19970124	

Priority Applications (No Type Date): JP 9386747 A 19930322; JP 9386744 A  
19930322; JP 9386745 A 19930322; JP 9386746 A 19930322

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 6275808	A		8 H01L-027/146	
US 5501989	A		23 H01L-021/335	
US 5589694	A		23 H01L-029/78	Div ex application US 94216107 Div ex patent US 5501989
US 5744822	A		22 H01L-021/20	Div ex application US 94216107 Cont of application US 95483048 Div ex patent US 5501989

Abstract (Basic): JP 6275808 A

The manufacturing method semiconductor circuit forms a  
semiconductor film on a substrate (1) which consist of at least one TFD  
and TFT. The semiconductor film forms the active region of TFT as well  
as intrinsic region (17) of TFD. The semiconductor circuit is featured  
by the density of catalyser elements which promotes crystallisation in  
the active region of TFT and intrinsic region of TFD.

USE/ADVANTAGE - For use in image sensor. Processes substrate with  
large area at one stretch. Reduces manufacturing cost.

Dwg.1/4

Title Terms: SEMICONDUCTOR; CIRCUIT; MANUFACTURE; COATING; CATALYST;  
ELEMENT; AMORPHOUS; SILICON; FILM; PROMOTE; CRYSTAL; DENSITY;  
ACTIVE; REGION; TFT; INTRINSIC; REGION; THIN; FILM; DIODE  
Derwent Class: L03; U11; U13; U14

International Patent Class (Main): H01L-021/20; H01L-021/335; H01L-027/146;  
H01L-029/78  
International Patent Class (Additional): H01L-021/336; H01L-021/84;  
H01L-027/092; H01L-027/108; H01L-029/04; H01L-029/76; H01L-029/784  
File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04603908

SEMICONDUCTOR CIRCUIT AND ITS MANUFACTURE

PUB. NO.: 06-275808 [JP 6275808 A]

PUBLISHED: September 30, 1994 (19940930)

INVENTOR(s): TAKAYAMA TORU

TAKEMURA YASUHIKO

APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 05-086747 [JP 9386747]

FILED: March 22, 1993 (19930322)

INTL CLASS: [5] H01L-027/146; H01L-027/092; H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1650, Vol. 18, No. 684, Pg. 139,  
December 22, 1994 (19941222)

#### ABSTRACT

PURPOSE: To improve the mass-productivity of a semiconductor circuit by specifying the concentrations of catalytic elements which accelerate the crystallization of amorphous silicon contained in the active region of a thin film transistor and the intrinsic region of a thin film diode.

CONSTITUTION: The crystallizing time of the amorphous silicon of an amorphous silicon film is shortened by accelerating the crystallization of the silicon by adding small amounts of catalytic elements and lowering the crystallizing temperature. Such metallic elements as Ni, Fe, Co, and Pt are suitable as the catalytic elements. In order to accelerate the crystallization of the amorphous silicon, it is necessary that at least one of the element exists in the amorphous silicon at a concentration of  $\geq 1 \times 10^{-17} \text{ cm}^{-3}$ , preferably,  $\geq 5 \times 10^{-18} \text{ cm}^{-3}$ . It is desirable, on the other hand, to control the overall concentration of the catalytic materials to  $\leq 2 \times 10^{-20} \text{ cm}^{-3}$  in order to obtain a sufficiently high reliability and sufficient characteristics at the time of utilizing the silicon film as an active region. By perceiving and utilizing the effect of the catalytic elements, an impurity region, the active area of a thin film transistor, and intrinsic region of a thin film diode are crystallized and activated at low temperatures so as to reduce the number of film forming processes.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-275808

(43)公開日 平成 6 年(1994) 9 月30日

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/146

27/092

21/336

7210-4M

H 0 1 L 27/ 14

C

9170-4M

27/ 08

3 2 1 B

審査請求 未請求 請求項の数 7 F D (全 8 頁) 最終頁に続く

(21)出願番号 特願平5-86747

(22)出願日 平成 5 年(1993) 3 月22日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 高山 徹

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72)発明者 竹村 保彦

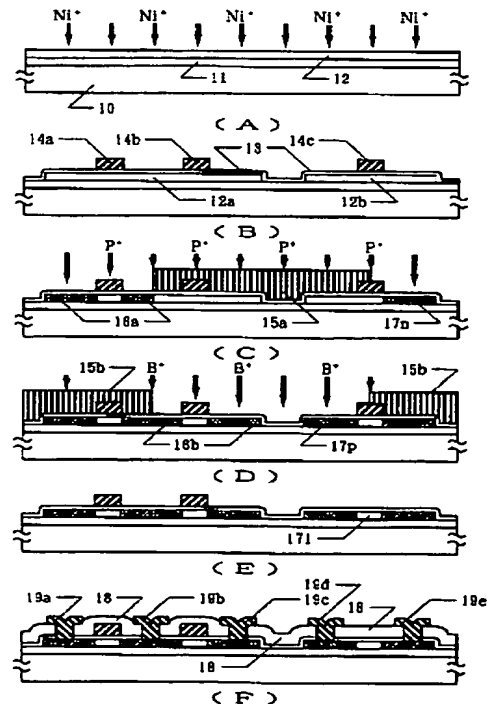
神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(54)【発明の名称】 半導体回路およびその作製方法

(57)【要約】

【目的】 薄膜ダイオード (TFD) と薄膜トランジスタ (TFET) を有する半導体回路を低温で製造する方法を提供する。

【構成】 アモルファスシリコン膜に、ニッケル、鉄、コバルト、白金等のアモルファスシリコンの結晶化を促進する触媒元素を有する被膜を密着させるか、あるいは触媒元素をイオン注入等の手段で導入し、しかる後に、基板の歪み温度よりも低い温度でアニールして結晶化をおこなう。さらに、これにN型もしくはP型不純物をドーピングすることによってTFET、TFDを形成する。TFDを光センサーとして使用する場合には、真性領域 (I 層) 上にアモルファスシリコン膜を新たに設けてもよい。この結果、TFETおよびTFDを同じシリコン膜によって構成できる。



## 【特許請求の範囲】

【請求項 1】 基板上に形成された少なくとも 1 つの薄膜トランジスタと少なくとも 1 つの薄膜ダイオードを有し、前記薄膜トランジスタの活性領域（チャネル形成領域）を形成する半導体膜は、前記薄膜ダイオードの真性領域（I 層）と同じ層の半導体膜であり、前記薄膜トランジスタの活性領域（チャネル形成領域）および前記薄膜ダイオードの真性領域に含まれる結晶化を促進する触媒元素の濃度は  $1 \times 10^{17} \text{ cm}^{-3}$  もしくはそれ以上の濃度、かつ  $2 \times 10^{20} \text{ cm}^{-3}$  未満の濃度であることを特徴とする半導体回路。

【請求項 2】 請求項 1 において、触媒元素の濃度は、2 次イオン質量分析法によって得られた最小値によって定義されることを特徴とする半導体回路。

【請求項 3】 請求項 1 において、触媒元素は、ニッケル、鉄、コバルト、白金の少なくとも 1 つであることを特徴とする半導体回路。

【請求項 4】 請求項 1 において、該薄膜ダイオードの真性領域に密着して、アモルファス半導体膜が設けられていることを特徴とする半導体回路。

【請求項 5】 基板上に形成された少なくとも 1 つの薄膜トランジスタと少なくとも 1 つの薄膜ダイオードを有し、前記薄膜トランジスタの活性領域（チャネル形成領域）を形成する半導体膜は、前記薄膜ダイオードの真性領域（I 層）と同じ層の半導体膜であり、前記薄膜トランジスタの活性領域（チャネル形成領域）の幅（チャネル長）は前記薄膜ダイオードの真性領域の幅よりも短く、かつ、前記薄膜トランジスタの活性領域は実質的に結晶シリコンによって構成され、前記薄膜ダイオードの真性領域の少なくとも一部はアモルファスシリコンであることを特徴とする半導体回路。

【請求項 6】 基板上に実質的にアモルファス状態のシリコン膜を形成する第 1 の工程と、  
前記シリコン膜に結晶化を促進する触媒元素を導入する第 2 の工程と、  
前記シリコン膜上に絶縁被膜および薄膜トランジスタのゲート電極、および薄膜ダイオードのマスク材を形成する第 3 の工程と、  
前記ゲート電極およびマスク材をマスクとして、シリコン膜におよびドーピング不純物を添加する第 4 の工程と、  
前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第 5 の工程とを有することを特徴とする半導体回路の作製方法。

【請求項 7】 基板上に実質的にアモルファス状態のシリコン膜を形成する第 1 の工程と、  
前記シリコン膜上に絶縁被膜および薄膜トランジスタのゲート電極、および薄膜ダイオードのマスク材を形成する第 2 の工程と、  
前記ゲート電極およびマスク材をマスクとして、シリコ

ン膜に結晶化を促進する触媒元素および第 1 の導電型のドーピング不純物を添加する第 3 の工程と、

前記シリコン膜に選択的にマスクを形成して、前記第 1 の導電型とは逆の導電形の第 2 のドーピング不純物を添加する第 4 の工程と、

前記シリコン膜を熱アニールすることによって、導入された不純物の活性化をおこなう第 5 の工程とを有することを特徴とする半導体回路の作製方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、薄膜トランジスタ（TFT）および薄膜ダイオード（TFD）を有する半導体回路（例えば、イメージセンサー）およびその作製方法に関するものである。本発明によって作製される半導体回路は、ガラス等の絶縁基板上、単結晶シリコン等の半導体基板上、いずれにも形成される。特に本発明は、熱アニールによる結晶化、活性化を経て作製される TFT、TFD を有する半導体回路に関する。

## 【0002】

【従来の技術】 薄膜トランジスタ、薄膜ダイオード等の薄膜半導体素子は、使用されるシリコンの種類によって、アモルファス系素子と結晶系素子に分かれている。アモルファスシリコンは作製温度が低く、量産性に優れていたが、電界効果移動度や導電率等の物性で結晶性シリコンに劣るので、高速動作特性を得るには結晶系の半導体素子が求められていた。最近では、薄膜ダイオードを用いた光センサーを、高速動作が可能な結晶系シリコンを用いた薄膜トランジスタによって駆動する回路（例えば、集積化イメージセンサー回路）が提唱されている。

## 【0003】

【発明が解決しようする課題】 従来の TFTD と TFT を組み合わせた回路の作製手順の例を図 4 に示す。ガラス基板 4 1 上に下地絶縁膜 4 2 を形成し、その上にアモルファスシリコン膜を形成して、これを  $600^\circ\text{C}$  以上の温度で長時間アニールすることにより結晶化させ、パターニングして島状シリコン領域 4 3 を得る。そして、ゲート絶縁膜 4 4 を形成し、さらに、ゲート電極 4 5 N、4 5 P を形成する。（図 4（A））

【0004】 そして、公知の CMOS 作製技術を使用し、N 型不純物領域 4 6 N と P 型不純物領域 4 6 P を形成する。この不純物導入工程においてはゲート電極に対して自己整合的に不純物が導入される。不純物注入後は、レーザーアニール、熱アニール等の手段で不純物の活性化がおこなわれる。（図 4（B））

【0005】 次に、第 1 の層間絶縁物 4 7 を形成して、これにコンタクトホールを形成し、TFT のソース、ドレインに電極・配線 4 8 a、4 8 b、4 8 c およびアモルファスシリコンダイオードの電極 4 8 d が形成される。（図 4（C））

## 3

次に、P型、I型（真性）、N型のアモルファスシリコン膜49P、49I、49Nを順次積層して、これをパターニングし、ダイオードの接合部を形成する。（図4（D））

最後に、第2の層間絶縁物50を形成し、これにコンタクトホールを形成して、アモルファスシリコンダイオードの電極51を形成して、回路が完成する。（図4（E））

【0006】このような手順を要する従来の方法では、長時間の成膜が要求されるシリコン膜および層間絶縁物がそれぞれ2層、それに加えてN層、P層の成膜も必要であるので、スループットが低下するという問題点を抱えていた。しかも、これらの成膜において使用されるプラズマCVD法、減圧CVD法では、メンテナンスのための装置のデッドタイムが大きく、これらの工程が余分に存在することは一層のスループット低下をもたらす。

【0007】また、結晶シリコンTFTに用いるシリコン膜の結晶化をおこなうにも600℃以上の温度が必要であり、かつ、その結晶化に24時間以上の長い時間が必要であったので、実際に量産する場合には、結晶化装置の設備がいくつも必要とされ、巨額の設備投資がコストに跳ね返ってくるという問題を抱えていた。本発明は、結晶シリコンTFTに用いるシリコン膜とTFDに用いるシリコン膜とを同時に形成し、かつ、層間絶縁物も1層のみとすることによって、上記の問題点を克服し、また、600℃以下の温度で、かつ、実質的に問題にならない程度の短時間でシリコン膜の結晶化をおこなう技術を提供する。

【0008】

【課題を解決するための手段】本発明者の研究の結果、実質的にアモルファス状態のシリコン被膜に微量の触媒材料を添加することによって結晶化を促進させ、結晶化温度を低下させ、結晶化時間を短縮できることが明らかになった。触媒元素としては、ニッケル（Ni）、鉄（Fe）、コバルト（Co）、白金（Pt）が適している。具体的には、これらの触媒元素単体あるいは珪化物等の化合物を有する膜、粒子、クラスター等をアモルファスシリコン膜の下、もしくは上に密着して形成し、あるいはイオン注入法等の方法によってアモルファスシリコン膜中にこれらの触媒元素を導入し、その後、これを適当な温度、典型的には580℃以下の温度で熱アニールすることによって結晶化させることができる。

【0009】当然のことであるが、アニール温度が高いほど結晶化時間は短いという関係がある。また、触媒元素の濃度が大きいほど結晶化温度が低く、結晶化時間が短いという関係がある。本発明者の研究では、結晶化を進行させるには、これらのうちの少なくとも1つの元素の濃度が $1 \times 10^{17} \text{ cm}^{-3}$ 、好ましくは $5 \times 10^{18} \text{ cm}^{-3}$ 以上存在することが必要であることがわかった。

【0010】一方、上記触媒材料はいずれもシリコンに

## 4

としては好ましくない材料であるので、できるだけその濃度が低いことが望まれる。本発明人の研究では、特に活性領域として利用する場合には、十分な信頼性および特性を得るためにこれらの触媒材料の濃度は合計して $2 \times 10^{20} \text{ cm}^{-3}$ を越えないことが望まれる。一方、ソース、ドレイン等には比較的多量に存在しても、さして問題とならないことが明らかになった。

【0011】さらに、このような触媒元素はアニールの間に拡散することによって、周囲を結晶化させる効果を有する。例えば、550℃で4時間のアニールをおこなうと、これらの触媒元素は10～20μm周囲に拡散し、周囲を結晶化させる。このため、TFTのゲイト電極の幅が20μm、好ましくは10μm以下であれば、N型もしくはP型の不純物を導入する前後に、同様に触媒元素をソース、ドレインに導入し、これをアニールすることによって、結晶化が横方向に進行し、触媒元素の導入されなかった活性領域（チャネル形成領域）も結晶化させることができる。また、一般的に、この方法では、ソース、ドレインにおける触媒元素の濃度に比較して、活性領域の触媒元素の濃度は低い。この横方向の結晶化は、アニール温度および時間、触媒元素の濃度に依存する。したがって、これらを最適化することによって、結晶シリコン領域とアモルファスシリコン領域を自在に作るすることができる。例えば、TFTのゲイト電極の幅を5μmのものと30μmのものの2種類を用意し、5μmのものを結晶シリコンTFTに、30μmのものをアモルファスシリコンTFTにすることも可能である。

【0012】本発明人は、この触媒元素の効果に着目し、これを利用することによってより低温、短時間のアニールによって不純物領域の導電率を低下させることが可能となった。本発明では、上記の触媒材料による結晶化の特徴を生かして、不純物領域、およびTFTの活性領域、TFDの真性領域を従来より低い温度で結晶化、活性化させ、問題点であるプロセスの簡略化、すなわち、成膜工程の削減を可能とする方法を見出した。その概要を以下に示す。

— アモルファスシリコン膜の成膜

— 触媒元素の導入（イオン注入もしくはイオンドーピング法による）（触媒元素を有する物質のシリコン膜への成膜によってもよい）

— 絶縁被膜（ゲイト絶縁膜）の成膜

— TFTのゲイト電極、TFDのマスク材の形成

— ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）

— ドーピング不純物の活性化（600℃以下、8時間以内）

— 層間絶縁物の形成

— TFTのソース、ドレイン電極の形成

【0013】あるいは、

## 5

- アモルファスシリコン膜の成膜
- 絶縁被膜（ゲイト絶縁膜）の成膜
- TFTのゲイト電極、TFDのマスク材の形成
- ドーピング不純物の導入（イオン注入もしくはイオンドーピング法による）
- 触媒元素の導入（イオン注入もしくはイオンドーピング法による）（触媒元素を有する物質のシリコン膜への成膜によってもよい）
- ドーピング不純物の活性化（600℃以下、8時間以内）
- 層間絶縁物の形成
- TFTのソース、ドレイン電極の形成

【0014】これらの工程において、後者の「および」はその順序を逆転させることも可能である。触媒元素の濃度を精密に制御するという意味からはイオン注入法等の手段が望ましい。結晶化、活性化のためには、600℃以下、典型的には550℃以下の温度で十分であり、また、アニール時間も8時間以内、典型的には4時間以内で十分である。特に、イオン注入法やイオンドーピング法によって最初から均等に触媒元素が分布している場合には、極めて結晶化が進行しやすかった。

【0015】本発明において、TFDの構造について簡単に述べると、従来のTFDが、層構造を有していたのに対し、本発明のTFDは平面上（プレーナ）構造を有することを特徴とする。本発明においては、TFTの活性領域とTFDの真性領域は同じアモルファスシリコン膜を出発点とする。このため、従来では、2層のシリコン膜の形成が必要とされていたのに対し、本発明では1層のシリコン膜の成膜で足りてしまう。そして、従来必要であった、N層、P層に関してはTFTの不純物ドーピングの際に同時に平面的に形成することによって得られる。すなわち、TFTにN型不純物を注入するときにTFDのN型領域を形成し、TFTにP型不純物を注入するときにTFDのP型領域を形成する。この結果、層間絶縁物も1層となる。

【0016】このような平面的なTFDは従来にない特色を有する。従来のTFD（図4に示されるような形状を有する）を例えば光センサーとして使用する場合には、半導体内部に発生する電界のかかる方向と光照射面が垂直となり、光照射強度が電界のかかる方向で一様でなく、効率よく電子・ホールを発生させ、外部に取り出すことができなかった。また、層間のピンホール等によりTFDがショートすることもあった。本発明においては、TFDに生じる電界の方向が光照射面と平行であるので、電界方向での光強度が一定となり、光电変換効率が向上し、また、ショートも生じにくい。

【0017】さらに、本発明においては、触媒元素の作用のために、通常の熱アニールによっても結晶化しない1000Å以下の薄いアモルファスシリコン膜も結晶化する。TFTの段差部におけるゲイト絶縁膜のピンホー

## 6

ルや絶縁不良、ゲイト電極の断線等を防止する観点からは、結晶シリコン膜の厚さは、1000Å以下、好ましくは500Å以下が要求されていた。従来はレーザー結晶化以外の方法では実現できなかったが、本発明によって低温においても熱アニールによって実現できた。このことが歩留りのさらなる向上に寄与することは言うまでもない。加えて、TFDを光センサーとして使用する場合においても、薄い半導体層を使用するとSN比および光电変換効率が向上する。以下に実施例を用いて、より詳細に本発明を説明する。

## 【0018】

【実施例】【実施例1】 図1に本実施例の作製工程の断面図を示す。まず、基板（コーニング7059）10上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜11を形成した。さらに、プラズマCVD法によって、厚さ500～1500Å、例えば1500Åの真性（I型）のアモルファスシリコン膜を堆積した。次に得られたアモルファスシリコン膜にイオン注入法によってニッケルイオンを注入した。ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{13} \text{ cm}^{-2}$ とした。この結果、アモルファスシリコン膜中には、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度でニッケルが注入された。（図1（A））

【0019】次に、フォトリソグラフィ法によってパターンニングし、島状シリコン領域12a（TFT用）および12b（TFD用）を形成した。さらに、スパッタリング法によって厚さ1000Åの酸化珪素膜13をゲイト絶縁膜として堆積した。スパッタリングには、ターゲットとして酸化珪素を用い、スパッタリング時の基板温度は200～400℃、例えば250℃、スパッタリング雰囲気は酸素とアルゴンで、アルゴン/酸素＝0～0.5、例えば0.1以下とした。引き続いて、減圧CVD法によって、厚さ6000～8000Å、例えば6000Åのシリコン膜（0.1～2%の燐を含む）を堆積した。なお、この酸化珪素とシリコン膜の成膜工程は連続的におこなうことが望ましい。そして、シリコン膜をパターンニングして、TFTのゲイト電極14a、14bおよびTFDのマスク材14cを形成した。（図1（B））

【0020】次に、図1（C）に示すように、フォトリソジストのマスク15aを形成し、プラズマドーピング法によって、シリコン領域にゲイト電極をマスクとして不純物（燐）を注入した。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）を用い、加速電圧を60～90kV、例えば80kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば $2 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、TFTのN型の不純物領域16a、TFDのN型の不純物領域17nが形成された。（図1（C））

【0021】次に、図1（D）に示すように、フォトリソジストのマスク15bを形成し、プラズマドーピング法

10

20

30

40

50



によって、シリコン領域にゲイト電極をマスクとして不純物（ホウ素）を注入した。ドーピングガスとして、ジボラン（ $B_2H_6$ ）を用い、加速電圧を40～80 kV、例えば65 kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{15}$ とした。この結果、TF TのP型の不純物領域16 b、TF DのP型の不純物領域17 pが形成された。TF DのN型領域17 nおよびP型領域17 pの間には真性領域17 iが残される。（図1（D））

【0022】その後、還元雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このアニールによって結晶化が容易に進行し、ドーピング不純物が活性化した。結晶化終了後、TF Dのマスク材14 cを除去した。（図1（E））

【0023】続いて、厚さ6000 Åの酸化珪素膜18を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTF Tの電極・配線19 a、19 b、19 c、TF Dの電極・配線19 d、19 eを形成した。最後に、1気圧の水素雰囲気中350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図1（F））

【0024】本工程では、図から明らかなようにシリコン膜、層間絶縁物を共に1層とすることができた。その結果、成膜プロセスは大きく削減された。また、TF Tの活性領域およびTF Dの真性領域のニッケルの濃度を2次イオン質量分析（SIMS）法によって測定したところ、共に $1 \times 10^{18} \sim 5 \times 10^{18} \text{ cm}^{-3}$ のニッケルが検出された。

【0025】本実施例の半導体回路のうち、TF Dの部分を図2（A）に示す。このTF Dは光センサーとして使用する場合には上方から光が入射される。このTF DのA-A'に沿ったエネルギーバンド図は、図2（B）のように示される。一般に結晶シリコンは光感度が低いので、これを改良するためには、図2（C）に示すように、TF Dのマスク14 cを除去した後に、厚さ1000～8000 Å、例えば3000 Åの水素化アモルファスシリコン等の光感度の大きな半導体膜17 aを真性領域17 iに密着して形成してもよい。

【0026】例えば、アモルファスシリコンを用いる場合には、その下にある結晶シリコンの真性領域17 iよりも光の吸収係数が大きいため、上方からの光照射によって、キャリアがアモルファスシリコン膜17 aで多量に発生した後、結晶シリコンの真性領域17 iにドリフトして、そこに印加されている電界によって分離される。

【0027】図2（C）のような構成においては、アモルファス半導体膜17 aにおいてキャリアが発生すると同時に、結晶シリコン半導体膜17 iでもその光感度の

波長依存性に依じてキャリアが発生している。そのため、より幅広い波長域の光を電気に変換することが可能となる。アモルファス半導体膜17 aとしてアモルファスシリコン膜を用いる場合には、これに炭素、窒素、酸素等を添加して光感度の波長依存性を変えてもよい。

【0028】アモルファス半導体膜17 aのエネルギーバンド幅が真性領域17 iに比べて広ければ、真性領域17 iで発生したキャリアがアモルファス半導体膜17 aにドリフトすることを防止し、かつ、アモルファス半導体膜17 aで発生したキャリアはそのエネルギーバンドの勾配に沿って真性領域17 iに移動する。そのため、発生したキャリアをより効率よく外部に取り出すことができる。

【0029】〔実施例2〕 図3に本実施例の作製工程の断面図を示す。基板（コーニング7059）30上にスパッタリング法によって厚さ2000 Åの酸化珪素の下地膜31、さらにプラズマCVD法によってアモルファスシリコン膜を形成した。そして、アモルファスシリコン膜をパターニングして、島状シリコン領域32 a（TF T用）および32 b（TF D用）を形成した。さらに、テトラ・エトキシ・シラン（ $Si(OC_2H_5)_4$ 、TEOS）と酸素を原料として、プラズマCVD法によってゲイト絶縁膜として、厚さ1000 Åの酸化珪素33を形成した。原料には、上記ガスに加えて、トリクロロエチレン（ $C_2HCl_3$ ）を用いた。成膜前にチャンパーに酸素を400 SCCM流し、基板温度300℃、全圧5 Pa、RFパワー150 Wでプラズマを発生させ、この状態を10分保った。その後、チャンパーに酸素300 SCCM、TEOSを15 SCCM、トリクロロエチレンを2 SCCMを導入して、酸化珪素膜の成膜をおこなった。基板温度、RFパワー、全圧は、それぞれ300℃、75 W、5 Paであった。成膜完了後、チャンパーに100 Torrの水素を導入し、350℃で35分の水素アニールをおこなった。

【0030】引き続き、スパッタリング法によって、厚さ6000～8000 Å、例えば6000 Åのタンタル膜を堆積した。なお、この酸化珪素33とタンタル膜の成膜工程は連続的にこなうことが望ましい。タンタルの代わりに、クロム、モリブデン、タングステン、チタン等を用いてもよいが、いずれも後のアニール工程に耐えられることが必要である。そして、タンタル膜をパターニングして、TF Tのゲイト電極34 a、34 b、TF Dのマスク材34 cを形成した。このとき、TF Tのゲイト電極の幅（＝チャネル長）は5～10 μm、TF Dのマスク材の幅は20～50 μmとした。さらに、このタンタル配線の表面を陽極酸化して、表面に酸化物層を形成した。陽極酸化は、酒石酸の1～5%エチレングリコール溶液中でおこなった。得られた酸化物層の厚さは2000 Åであった。（図3（A））

【0031】次に、プラズマドーピング法によって、シ

リコン領域に不純物（燐）を注入した。ドーピングガスとして、フォスフィン（ $\text{PH}_3$ ）を用い、加速電圧を60～90 kV、例えば80 kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、 $2 \times 10^{15} \text{ cm}^{-2}$ とした。このようにしてN型の不純物領域35を形成した。（図3（B））

引き続き、イオン注入法によって、ニッケルイオンを注入した。ドーズ量は $1 \times 10^{13} \sim 5 \times 10^{14} \text{ cm}^{-2}$ 、例えば $5 \times 10^{13} \text{ cm}^{-2}$ とした。この結果、アモルファスシリコン膜中には、 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の濃度でニッケルが注入された。（図3（C））

【0032】さらに、左側のTF T（Nチャネル型TF T）およびTF Dの右側の領域（N型領域）をフォトリジスト36でマスクして、再び、プラズマドーピング法で右側のTF T（PチャネルTF T）のシリコン領域およびTF Dの左側の領域（P型領域）に不純物（ホウ素）を注入した。ドーピングガスとして、ジボラン（ $\text{B}_2\text{H}_6$ ）を用い、加速電圧を50～80 kV、例えば65 kVとした。ドーズ量は $1 \times 10^{15} \sim 8 \times 10^{15} \text{ cm}^{-2}$ 、例えば、先に注入された燐より多い $5 \times 10^{15} \text{ cm}^{-2}$ とした。この結果、TF TのN型の不純物領域37a、同P型領域37bおよびTF DのN型領域38n、P型領域38pを形成した。（図3（D））

【0033】その後、0.1～1気圧の水素還元雰囲気中、500℃で4時間アニールすることによって、不純物を活性化させた。このとき、先にニッケルの注入された領域37a、37bおよび38p、38nにはニッケルが拡散しているので、このアニールによって結晶化が容易に進行し、ドーピング不純物が活性化した。また、TF Tの活性領域にもニッケルが拡散し、結晶化が進行した。一方、TF Dの真性領域38iの、特に中央部ではシリコン中にはニッケルが存在せず、また、周囲からの拡散もないので結晶化しなかった。すなわち、TF Tは全域に渡って結晶化し、TF Dでは不純物領域と、不純物領域に接した真性領域の一部が結晶化し、真性領域38iの中央部はアモルファス状態であった。（図3（E））

【0034】続いて、厚さ2000Åの酸化珪素膜39を層間絶縁物としてプラズマCVD法によって形成し、これにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTF Tの電極・配線40a、40b、40c、TF Dの電極・配線40d、40eを形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールをおこなった。以上の工程によって半導体回路が完成した。（図3（F））

【0035】本実施例では、TF Dのマスク材34cは、他のゲイト電極配線とは絶縁されており、浮遊電位状態とした。しかし、この場合には何らかの電荷の蓄積

によってTF Dの動作が妨げられることがある。もし、安定な動作が要求されるのであれば、TF DのP型領域もしくはN型領域と同電位とするとよい。また、本実施例では、真性領域38i上にはマスク材34cが存在しているので、TF Dを光センサーとして使用する場合には、基板側から光を入射させることが必要である。本実施例の場合には、実施例1のバリエーションとして示された図2（C）のように光感度を向上させるためにアモルファス半導体膜を真性領域に密着させることは困難であるが、実施例1とは異なって真性領域38iには光感度の良好なアモルファス状態の部分が残っているので問題は無い。

【0036】

【発明の効果】本発明によって、結晶性シリコンTF TとTF Dを有する半導体回路を作製するプロセスを削減し、量産性を高めることができた。また、本発明は、例えば、500℃というような低温、かつ、4時間という短時間でシリコンの結晶化をおこなうことによっても、スループットを向上させることができる。加えて、従来、600℃以上のプロセスを採用した場合にはガラス基板の縮みやソリが歩留り低下の原因として問題となっていたが、本発明を利用することによってそのような問題点は一気に解消してしまう。

【0037】このことは、大面積の基板を一度に処理できることを意味するものである。すなわち、大面積基板を処理することによって、1枚の基板から多くの集積回路等を切り出すことによって単価を大幅に低下させることができる。このように本発明は工業上有益な発明である。

【図面の簡単な説明】

【図1】 実施例1の作製工程断面図を示す。

【図2】 実施例1で得られたTF Dおよびそのバンド図を示す。

【図3】 実施例2の作製工程断面図を示す。

【図4】 従来の作製工程例（断面図）を示す。

【符号の説明】

10・・・基板

11・・・下地絶縁膜（酸化珪素）

12・・・島状シリコン領域

13・・・ゲイト絶縁膜（酸化珪素）

14・・・ゲイト電極およびマスク材（燐ドーブされたシリコン）

15・・・ドーピングマスク（フォトリジスト）

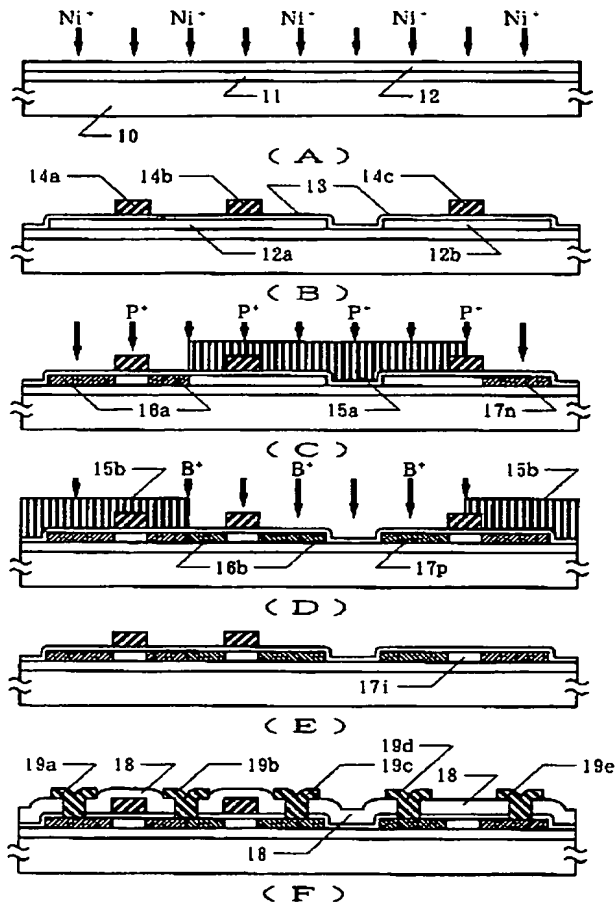
16・・・TF Tのソース、ドレイン領域

17・・・TF Dの不純物領域・真性領域

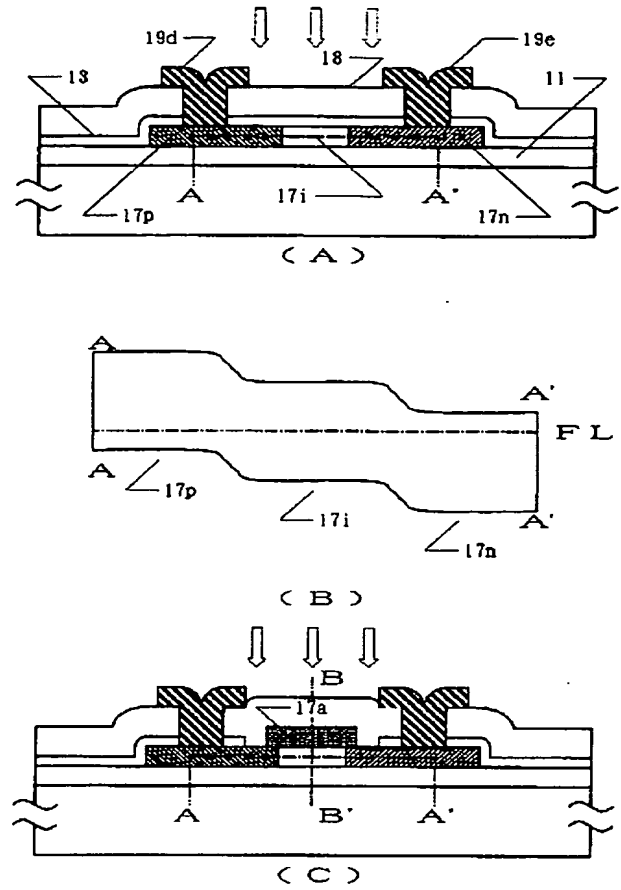
18・・・層間絶縁物（酸化珪素）

19・・・金属配線・電極（窒化チタン／アルミニウム）

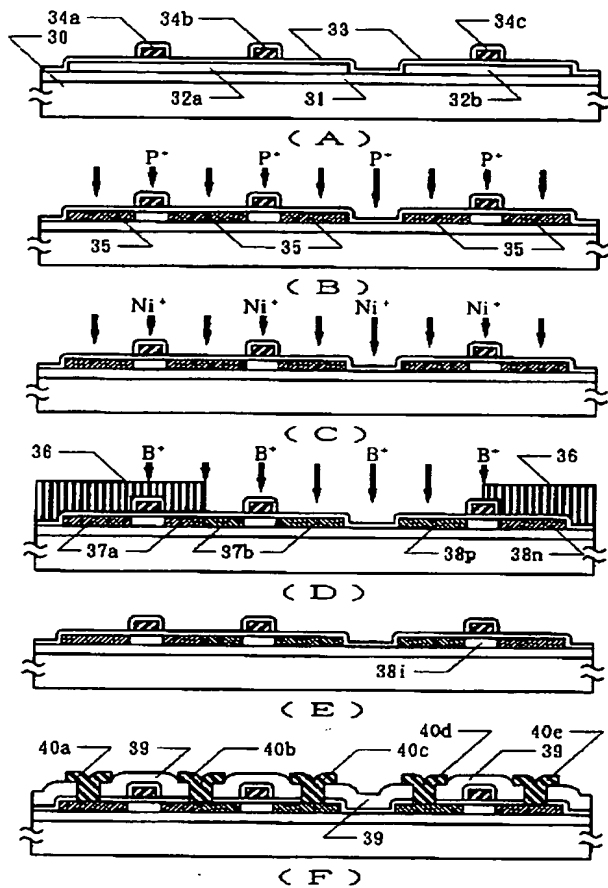
【図 1】



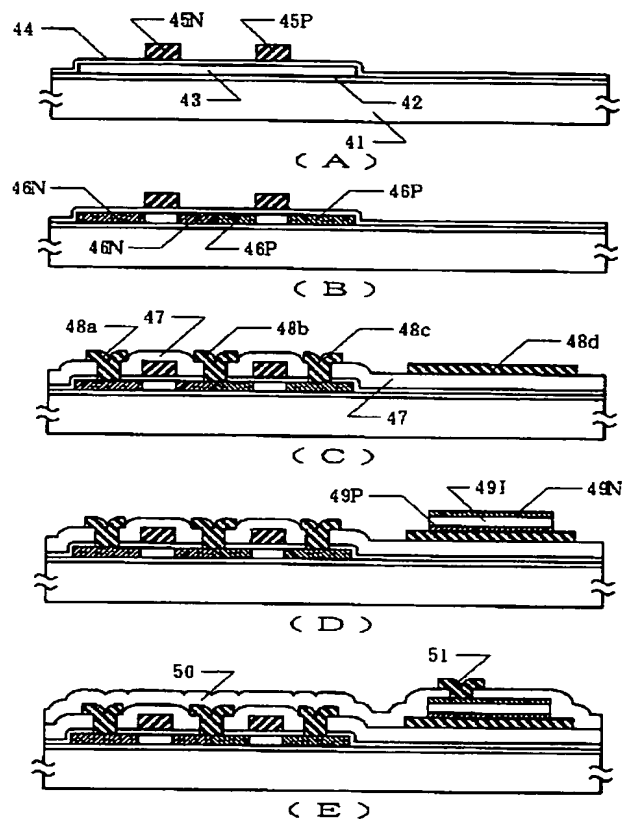
【図 2】



【図3】



【図4】



フロントページの続き

(51) Int. Cl. <sup>5</sup>

H 0 1 L 29/784

識別記号

片内整理番号

F I

技術表示箇所

9056-4M

H 0 1 L 29/78

3 1 1 Y

9056-4M

3 1 1 C